

IMPLEMENTASI FPGA (FIELD PROGRAMMABLE GATE ARRAY) PADA SPREADING DAN DESPREADING MENGGUNAKAN KODE PSEUDONOISE KASAMI DAN JPL (JET PROPULSION LABORATORY)

Anang Budikarso¹⁾, Aries Pratiarso²⁾

¹⁾Politeknik Elektronika Negeri Surabaya

²⁾Institut Teknologi Sepuluh November (ITS) Surabaya

Kampus PENS-ITS, Keputih, Sukolilo, Surabaya Telp: +62+031+5947280

Email: anang_bk@eepis-its.edu

Abstrak

Pada Makalah ini akan dibuat sistem spread spectrum untuk menebar dan mengatur kembali sinyal informasi, guna menjamin kerahasiaan dan keselamatan informasi. Proses penebaran dilakukan dengan menggabungkan sinyal informasi dan sinyal acak semu. Sinyal acak semu yang dibangkitkan menggunakan Kode Kasami dan JPL. Proses pengaturan kembali sinyal informasi adalah pengulangan dari proses penebaran. Sinyal hasil penggabungan digabungkan kembali dengan sinyal acak semu yang sama, untuk mendapatkan sinyal aslinya. Dari hasil percobaan yang dilakukan proses spreading despsreading masih belum mengalami perubahan yang signifikan masih seperti data aslinya yaitu dengan laju bit Data 256 kHz, dengan laju PN : 8 MHz. Dalam membangun sistem tersebut digunakan FPGA Spartan II Type XSA-50 sebagai perangkat keras dan Xilinx Web Pack 7.1 sebagai perangkat lunak.

Kata kunci: Spread Spectrum, Kode Kasami dan JPL, FPGA.

1. LATAR BELAKANG

Pada suatu sistem komunikasi, pengiriman sinyal informasi secara langsung melalui sebuah saluran menyebabkan sinyal informasi tersebut mengalami kecacatan karena besarnya noise dan interferensi lain yang mengganggu selama proses pengiriman. Oleh karena itu untuk memenuhi kebutuhan akan sistem komunikasi yang handal terhadap interferensi, memiliki keamanan tinggi dari data yang dikirimkan, bisa bekerja pada S/N yang rendah, maka dikembangkanlah teknologi spread spectrum atau lebih dikenal dengan teknologi CDMA (Code Division Multiple Access). Teknik spreading ini adalah teknik penebaran data input menggunakan kode acak semu (PN code) sehingga bandwidthnya menjadi lebih lebar dari bandwidth data. Proses penebaran ini dilakukan dengan cara memasukkan data input dan kode acak semu (PN code) dalam suatu rangkaian logika EX-OR. Sehingga menghasilkan suatu output yang merupakan perpaduan (multiplier) antara data input yang akan dikirim dengan kode acak semu. Pada sisi receiver, untuk mendapatkan kembali data yang dikirim maka diperlukan juga kode acak semu yang sama dengan yang digunakan di sisi transmitter yang di gunakan untuk memultipliar sinyal yang diterima.

Dalam sistem ini kami menggunakan FPGA (Field Programmable Gate Array) sebagai hardware karena dapat direfresh kembali untuk aplikasi yang lain. Dan software yang digunakan adalah Web Pack 7.1.

2. DASAR TEORI

Pembuatan Makalah ini ditunjang oleh beberapa teori, antara lain sebagai berikut:

2.1. Spread spectrum

Komunikasi spread spectrum lahir pada pertengahan tahun 1950 dilatarbelakangi oleh kebutuhan akan sistem komunikasi yang dapat mengatasi masalah interferensi, jaminan kerahasiaan informasi yang dikirim dan beroperasi pada tingkat S/N (signal to noise ratio) yang rendah.

Pada sistem komunikasi spread spectrum dilakukan proses penebaran (*spreading process*) lebar bidang frekuensi bit informasi oleh sebuah deretan sinyal penebar yang dikenal dengan *spreading waveforms* atau *PN (pseudo noise) code*. Lebar bidang *PN (pseudo noise) code* jauh lebih besar dibanding dengan lebar bidang bit atau sinyal informasi yang hendak dikirimkan.

Sistem komunikasi spread spectrum sebagai salah satu sistem komunikasi digital, memiliki beberapa kelebihan dibandingkan sistem komunikasi konvensional yaitu:

- Lebih kebal terhadap jamming.
- Mampu menekan interferensi.
- Dapat dioperasikan pada level daya yang rendah.
- Kemampuan multiple access secara CDMA (Code Division Multiple Access).
- Kerahasiaan lebih terjamin.

2.2. Pembangkitan Pseudo Noise (PN).

PN-code yang mempunyai satuan chips, merupakan deretan sinyal yang digunakan untuk proses spreading-despreading. Dimana PN-code tersebut akan dipadukan (multiplier) dengan sinyal informasi. PN-code yang kami gunakan adalah:

2.2.1. Kode Kasami.

1. Pembangkitan Kode Small kasami:

- Membaca banyaknya register yang dipakai untuk membentuk kode ini. Register yang dipakai harus genap.
- Baca kondisi awal (IC) dari tiap register yang dipakai.
- Baca posisi tap umpan balik dari setiap register penyusun kode tersebut.
- Membentuk deretan kode maksimal x .
- Menentukan desimasi dari deretan kode y . Dimana deretan kode y didapatkan dari desimasi deretan kode x sebesar $2^{n/2} + 1$ dan memiliki panjang periode $= 2^{n/2} - 1$.
- Selanjutnya menggeser deretan kode y ke kiri sebesar $2^{n/2} - 2$ tahap.
- Menjumlahkan dengan mod $- 2$ antara deretan kode x dengan hasil pergeseran dari deretan kode y .
- Proses tersebut berlangsung sampai didapatkan panjang periode yang ditentukan.
- Kode Small Kasami dibentuk dari penyusunan kode seperti ketentuan $x, x \oplus y, x \oplus T^{-1}y, \dots, x \oplus T^{(2N/2-2)}y$.

Secara sederhana, kode small kasami dibentuk dari kombinasi kode maxlength dan desimasi dari kode maxlength itu sendiri.

2. Pembangkitan Kode Large kasami:

Sama seperti pada pembangkitan kode Small Kasami maka pada pembentukan kode Large Kasami juga terdapat ketentuan seperti penjelasan berikut:

- Pertama kali adalah proses membaca banyaknya register yang dipakai membentuk kode ini. Register yang dipakai harus genap.
- Baca isi kondisi awal (IC) dari tiap register yang dipakai.
- Baca posisi tap umpan balik dari setiap register penyusun kode tersebut.
- Membentuk deretan kode maksimal x .
- Menentukan desimasi dari deretan kode y dan kode z . dimana deretan kode y didapatkan dari desimasi deretan kode x sebesar $2^{n/2} + 1$, sedangkan deretan kode z didapatkan dari desimasi deretan kode x sebesar $2^{(n/2+2)} + 1$.
- Deretan kode Large Kasami disusun dengan menggabungkan deretan kode x , serta penjumlahan dan pergeseran deretan kode dari kode y dan kode z .

Untuk kode Large Kasami merupakan kombinasi dari kode Gold dengan desimasi dari kode Maxlength pembentuk kode Gold tersebut.

2.2.2. Kode JPL.

Kode JPL membutuhkan tiga buah SRG (Shift Register Generator) panjang maksimal dasar dengan panjang masing-masing tahap berbeda. Kemudian ketiga SRG ini dijumlahkan secara modulo-2 dan menghasilkan suatu kode yang panjangnya merupakan hasil kali dari panjang masing-masing kode maksimal penyusunnya.

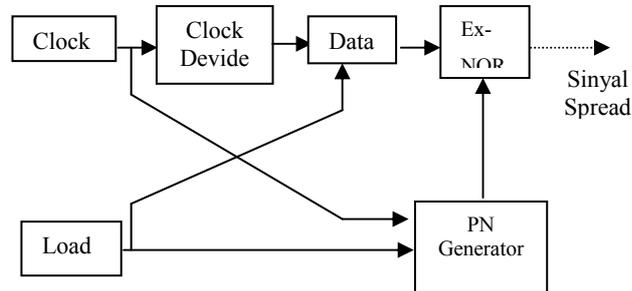
Untuk mendapatkan kode JPL yang bagus maka sangat penting dipilih konfigurasi tap umpan balik yang sesuai agar didapatkan kode dengan panjang deretan kode – kode penyusunnya harus relatif prima satu dengan yang lainnya

2.3 FPGA

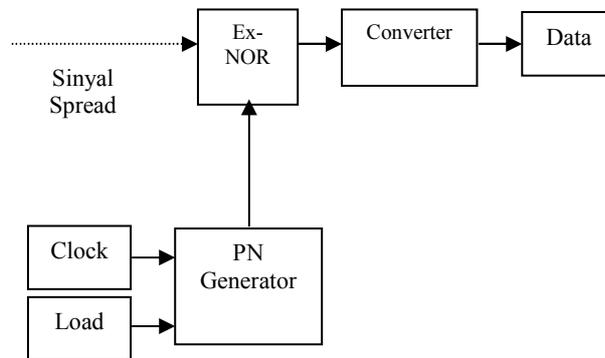
Field Programmable Gate Array (FPGA) adalah programmable device besar yang tersusun atas modul-modul logika independen yang dapat dikonfigurasi oleh pemakai yang dihubungkan melalui kanal-kanal routing yang dapat diprogram. Device ini sangat fleksibel dan praktis, karena device ini bisa menjadi suatu device keinginan kita dengan mendownloadkan program yang dibuat ke FPGA. Seri FPGA yang dipakai pada makalah ini adalah XSA-50. Dan proses pengerjaannya melalui software Web Pack 7.1.

3. DESAIN RANGKAIAN

3.1. Block Diagram



Gambar 1. Blok Diagram Sistem Spreading



Gambar 2. Blok Diagram Sistem despreading

3.2. Prinsip Kerja

Pada saat tombol load ditekan maka akan muncul sinyal pulsa '1' dalam beberapa saat saja. Load ini akan menyebabkan data dan sinyal dari PN generator akan muncul. Kemudian data dan sinyal PN generator dikalikan oleh gerbang logika Ex-NOR. Sinyal hasil perkalian ini merupakan sinyal spread. Kemudian sinyal spread dilewatkan melalui sebuah kabel yang dihubungkan ke gerbang Ex-NOR lagi. Pada Ex-NOR ini sinyal spread dikalikan lagi dengan sinyal dari PN generator yang sama. Sinyal hasil perkalian ini akan membentuk data seperti data awal yang diberikan. Untuk mengubah data yang berbentuk sinyal '0' dan '1' menjadi '-1' dan '1' digunakan sebuah konverter yang menggunakan IC max 232, sehingga data yang dihasilkan merupakan data dalam bentuk sinyal baseband.

3.3. Komponen pendukung

Sistem yang dibuat berupa suatu paket spreading-despreading yang mempunyai konfigurasi sebagai berikut:

Perangkat keras:

1. FPGA DEVELOPMENT Board Spartan II
2. XSA-50.
3. Rangkaian load (monostable)
4. Rangkaian power supply

Perangkat lunak

Perangkat lunak yang digunakan dalam membuat sistem ini adalah Web Pack 7.1.

4. PENGUJIAN DAN ANALISA

Tujuan dari pengujian dan analisa adalah untuk melihat proses kerja dari sistem spreading dan despreading.

4.1. Peralatan yang Digunakan

Dalam pengukuran dibutuhkan alat-alat penunjang untuk melihat sinyal-sinyal yang diproses pada sistem. Alat-alat yang digunakan:

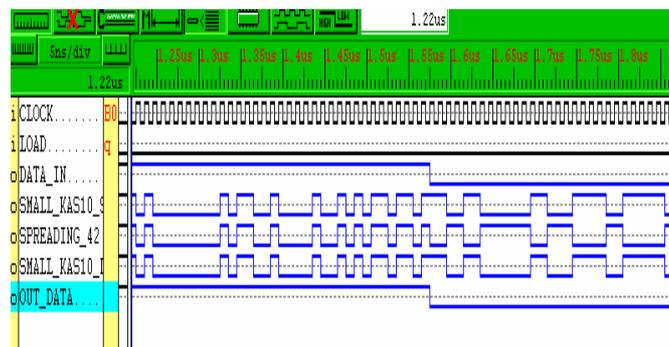
1. FPGA DEVELOPMENT BOARD SPARTAN II XSA-50.
2. Logic Analyzer National VP-3621A.
3. Probe Logic Analyzer National VQ 059A22.
4. Power Supply.
5. Monoastable.
6. Kabel secukupnya.

4.2. Pengujian

Dalam pengujian ini kita akan mengamati sinyal-sinyal yang terlibat dalam proses spreading-despreading. Sinyal-sinyal tersebut adalah:

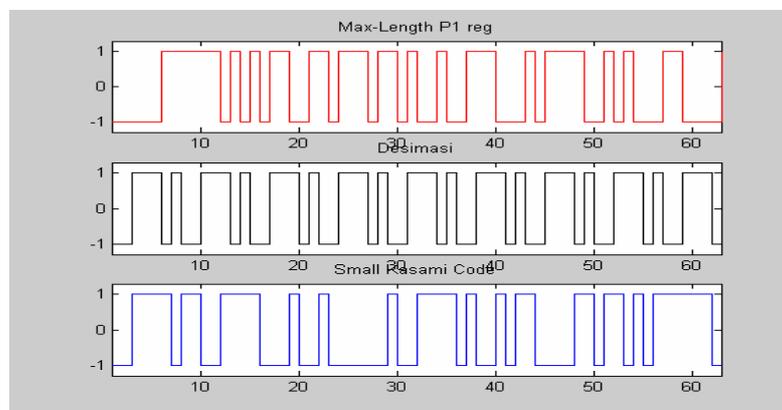
- a. Pengujian Sistem Menggunakan Kode Small Kasami.

1. Simulasi pada Xilinx dengan Model Sim 6.2.

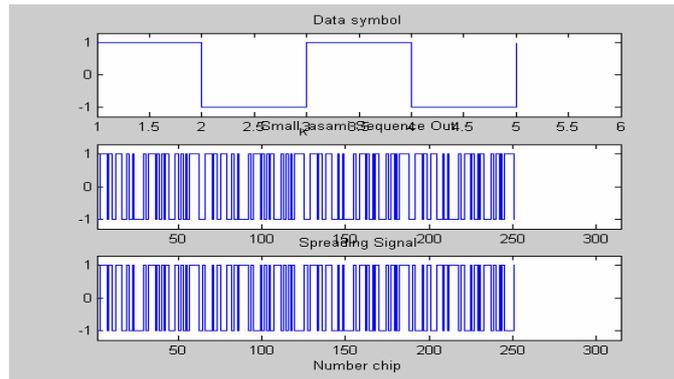


Gambar 3. Simulasi Spreading dan Despreading Menggunakan Kode Small Kasami.

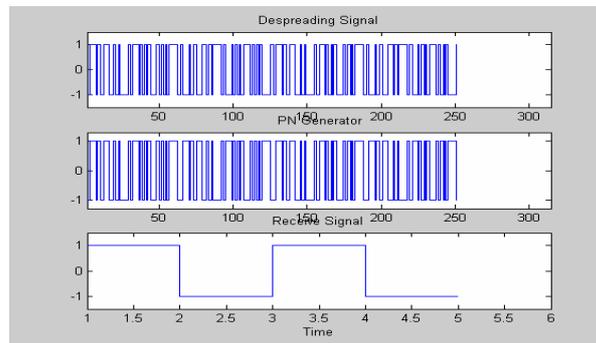
2. Simulasi pada Matlab versi 6.1



Gambar 4. Kode Small Kasami

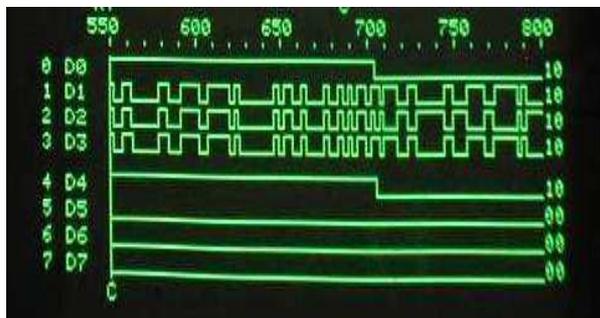


Gambar 5. Proses Spreading Menggunakan Kode Small Kasami.



Gambar 6. Proses Despreading Menggunakan Kode Small Kasami.

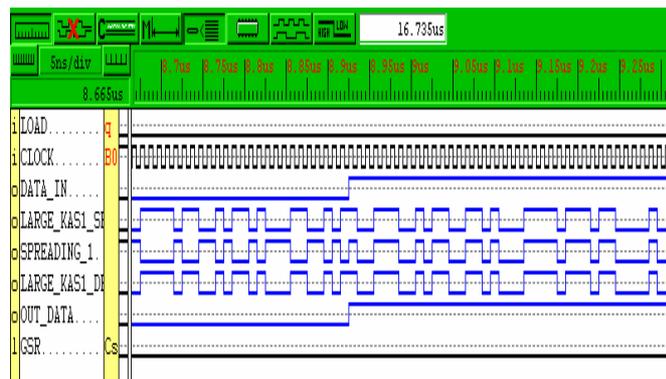
3. Hasil Pengukuran pada Logic Analyzer



Gambar 7. Bentuk Sinyal Sistem Spreading dan Despreading Menggunakan Kode Small Kasami

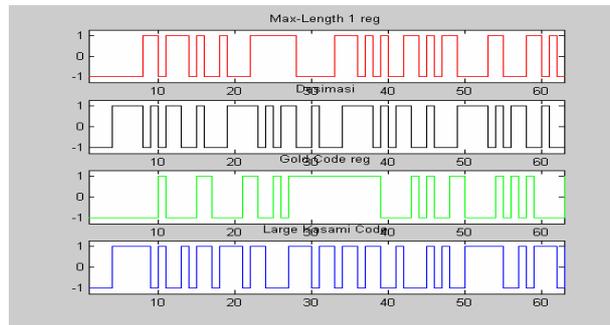
b. Pengujian Sistem Menggunakan Kode Large Kasami.

1. Simulasi pada Xilinx dengan Model Sim 6.2.

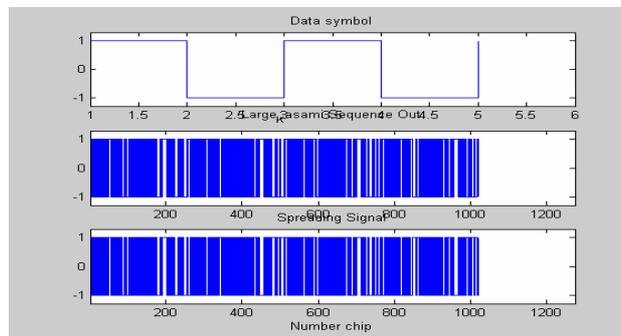


Gambar 8. Simulasi Spreading dan Despreading Menggunakan Kode Large Kasami.

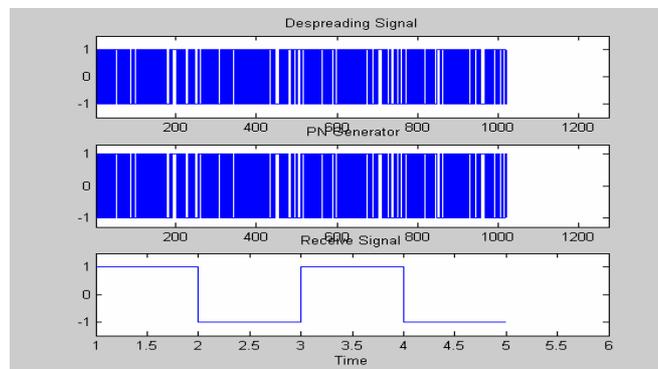
2. Simulasi pada Matlab versi 6.1



Gambar 9. Kode Large Kasami

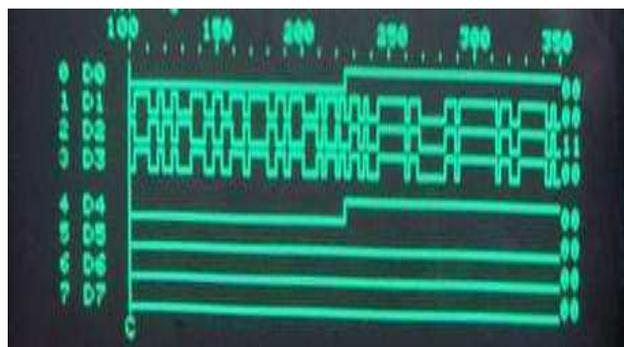


Gambar 10. Proses Spreading Menggunakan Kode Large Kasami.



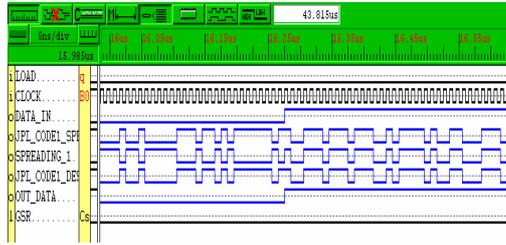
Gambar 11. Proses Despreading Menggunakan Kode Large Kasami

3. Hasil Pengukuran pada Logic Analyzer



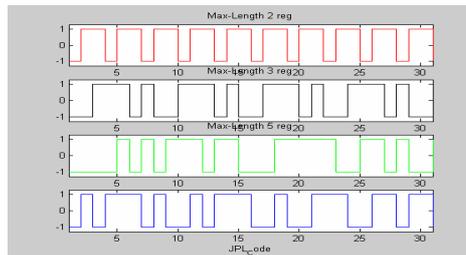
Gambar 12. Bentuk Sinyal Sistem Spreading dan Despreading Menggunakan Kode Large Kasami

- c. Pengujian Sistem Menggunakan Kode JPL
 - 1. Simulasi pada Xilinx dengan Model Sim 6.2.

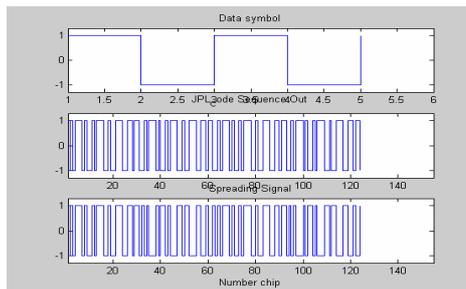


Gambar 13. Simulasi Spreading dan Despreading Menggunakan Kode JPL.

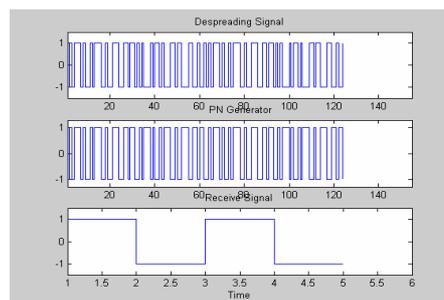
- 2. Simulasi Matlab versi 6.1



Gambar 14. Kode JPL

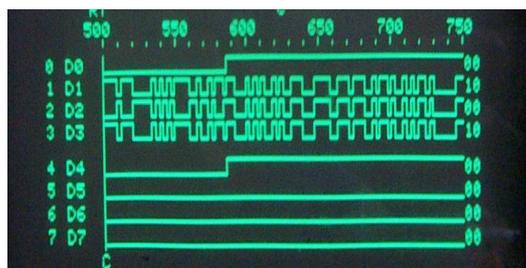


Gambar 15. Proses Spreading Menggunakan JPL



Gambar 16. Proses Despreading Menggunakan Kode JPL.

- 3. Hasil Pengukuran pada Logic Analyzer



Gambar 17. Bentuk Sinyal Sistem Spreading dan Despreading Menggunakan Kode JPL.

5. KESIMPULAN

Setelah melakukan proses pengamatan dan analisa terhadap sistem yang telah dibuat dapat diambil kesimpulan bahwa:

1. Semakin banyak jumlah shift register yang digunakan untuk pembangkitan kode Pseudonoise dapat dikatakan keandalan sistem akan semakin baik karena kode tersebut akan menghasilkan semakin banyak kode untuk mencacah data informasi sehingga data hasil Spreading akan semakin sulit dikenali.
2. Kedua kode yang dibangkitkan yaitu Kasami dan JPL adalah hasil pembentukan dari kode-kode gold dan kode maxlength yang di modifikasikan.
3. Kode JPL memiliki panjang kode yang sangat besar, meskipun di bentuk dari tiga kode Maxlength yang kecil.
4. Dari hasil percobaan yang dilakukan proses spreading despreading masih belum mengalami perubahan yang signifikan masih seperti data aslinya yaitu dengan laju bit Data 256 kHz, dengan laju PN : 8 MHz.

6. DAFTAR PUSTAKA

- [1]. Anang budikarso, M. Syafrudin "Implementasi FPGA pada Digital Logic Trainer", *Proceedings IES 2001*, October 27-28, 2001 Surabaya.
- [2]. Anang budikarso, "Implementasi Verilog HDL pada rangkaian kombinalional dan sekquential" Penelitian PENS-ITS 2000, April 14, 2000 Surabaya.
- [3]. Abdulqadir Alaqeeli and Janusz Starzyk, "ardware Implementation for Fast Convoution with a PN Code Using Field Programmable Gate Array" IEEE 2001.
- [4]. DJ Ridge, "Advance DSP on FPGAs and CPLDs", proc. ICSPAT, 1996.
- [5]. Iwan Dwi Santoso, Endroyono, Simulasi pembangkitan kode-kode acak semu dan evaluasi performansinya dalam aplikasi CDMA.
- [6]. J. G. Proakis, Digital Communication. 3th edition, Mc Graw-Hill Book Company, New York, 1989.
- [7]. Kevin Skahill, "VHDL for programmable Logic", Addison-Wesley, 1996.
- [8]. M. K. Simon, J. K Omura, R. A Scultz, and B. K. Levitt. "Spread Spektrum Communication Handbook", New York, Mc Graw-Hill, 1994.
- [9]. R. L. Peterson, R. E. Ziemer, and D. E Borth, Introduction to Spread-spektrum Communication, Prentice Hall, Englewood Cliffs. NJ, 1995.
- [10]. Rappaport Theodore S., *Wireless Communications - Principles & Practice*, IEEE Press, pp 71-131, 1996.
- [11]. Robert C. Dixon, Spread spektrum Systems with Commercial Application, 3th Edition, John Wiley and Sons, New York 1995.
- [12]. Young-Ki Han, "Implementation of PIPNLMS on FPGA", proc. ICSPAT, 1996.